**THỰC HÀNH NHẬP MÔN MẠCH SỐ - LỚP ……MMTT2021……..**

**BÀI THỰC HÀNH 3: PHÂN TÍCH VÀ THIẾT KẾ MẠCH SỐ**

|  |  |  |  |
| --- | --- | --- | --- |
| **Giảng viên hướng dẫn** | **Thân Thế Tùng** | | **ĐIỂM** |
| **Sinh viên thực hiện** | **Nguyễn Thành Đăng** | **21520683** |  |

1. **Mục tiêu**

* Phân tích, thiết kế, đánh giá mạch số từ đặc tả kỹ thuật
* Làm quen với IC7447 để hiện thị giá trị của một số BCD

1. **Nội dung**
2. **Vận dụng ở nhà (làm cá nhân)**

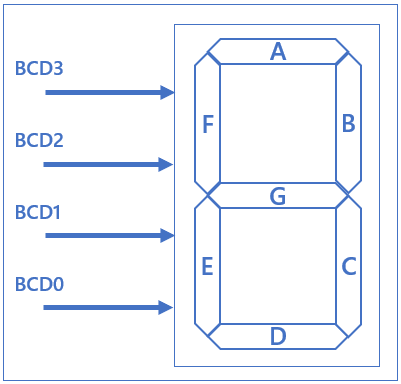
Câu 1: Thiết kế bộ báo động (A=1) cho lái xe với các tình huống: Bugi bật (B=1) và Cửa mở (C=0), **hoặc** chưa Cài dây an toàn (D=0) và Bugi bật (B=1)

* Xác định các ngõ vào và ngõ ra của mạch:
  + Ngõ vào: B , C , D
  + Ngõ ra: A
* Hoàn thành bảng chân trị bên dưới:

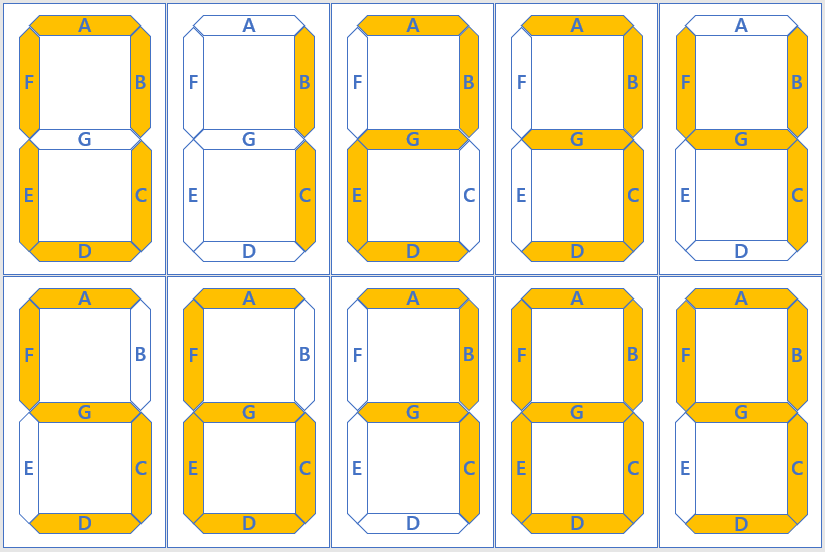
|  |  |  |  |
| --- | --- | --- | --- |
| **B** | **C** | **D** | **A** |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 1 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |

|  |  |
| --- | --- |
| Viết biểu thức dạng SOP (không rút gọn):  A=BC’D’ + BC’D + BCD’ | Viết biểu thức dạng POS (không rút gọn):  A = (B + C + D)(B + C + D’)(B + C’ +D)(B + C’ + D’)(B’ + C’ + D’) |
| Tính chi phí biểu thức ở trên theo dạng SOP:  =3+3+3+3=12 | Tính chi phí biểu thức ở trên theo dạng POS:  =5+3+3+3+3+3=20 |
| Rút gọn luận lý biểu thức ở trên bằng phương pháp Đại số Bool  A = BC’ + BD’ | Rút gọn luận lý biểu thức ở trên bằng phương pháp Đại số Bool:  A = B(C’ + D’) |
| Rút gọn luận lý biểu thức ở trên bằng phương pháp K-map:   |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | |  | CD | |  |  |  | | B |  | 00 | 01 | 11 | 10 | |  | 0 | 0 | 0 | 0 | 0 | |  | 1 | 1 | 1 | 0 | 1 | | Rút gọn luận lý biểu thức ở trên bằng phương pháp K-map:   |  |  |  |  |  |  | | --- | --- | --- | --- | --- | --- | |  | CD | |  |  |  | | B |  | 00 | 01 | 11 | 10 | |  | 0 | 0 | 0 | 0 | 0 | |  | 1 | 1 | 1 | 0 | 1 | |
| Tính chi phí biểu thức sau khi đã rút gọn:  =2 +2 +2=6 | Tính chi phí biểu thức sau khi đã rút gọn:  = 2 + 0 +2 = 4 |
| Nhận xét chi phí khi chưa rút gọn và sau khi rút gọn:  Chi phí được rút gọn tới tối giản | Nhận xét chi phí khi chưa rút gọn và sau khi rút gọn:  Chi phí được rút gọn tới tối giản và ít hơn cả của SOP |

Câu 2: Thiết kế Bộ giải mã BCD\_2\_7SEGMENT



* Đầu vào là số BCD 4bits: {BCD3, BCD2, BCD1, BCD0}
* Đầu ra là 1 tổ hợp 7 tín hiệu đèn, được sắp xếp để biểu diễn số BCD: A, B, C, D, E, F, G
* Khi Đầu vào từ 0000 đến 1001 thì, tổ hợp 7 tín hiệu sẽ biểu diễn từ số 0 đến số 9 tương ứng như hình bên dưới. Nếu đầu vào là 1111 thì không tín hiệu nào sáng. Còn lại thì 7 tín hiệu đầu ra nhận giá trị tùy định (X), chú ý: đèn LED sáng khi giá trị của nó là 0:



* Hoàn thảnh bảng chân trị bên dưới (Chú ý, I viết thay cho BCD):

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **I3** | **I2** | **I1** | **I0** | **A** | **B** | **C** | **D** | **E** | **F** | **G** |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 | 1 | 0 | 0 | 1 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 0 | 0 | 1 | 0 | 1 | 1 | 1 | 0 | 0 |
| 0 | 1 | 0 | 1 | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 0 |
| 0 | 1 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 | 0 | 0 |
| 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 1 | 1 |
| 1 | 0 | 1 | 0 | X | X | X | X | X | X | X |
| 1 | 0 | 1 | 1 | 0 | 1 | 1 | 0 | 1 | 0 | 0 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 0 |
| 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |



* Rút gọn luận lý các hàm luận lý trên bằng phương pháp K-map:



|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | A | I1I0 | |  |  |  |  |  |  | B | I1I0 | |  |  |  |  |  |
| I3I2 | |  | 00 | 01 | 11 | 10 |  |  | I3I2 | |  | 00 | 01 | 11 | 10 |  |  |
|  |  | 00 | 0 | 0 | 1 | 1 |  |  |  |  | 00 | 0 | 0 | 0 | 0 |  |  |
|  |  | 01 | 1 | 0 | 1 | 1 |  |  |  |  | 01 | 0 | 0 | 1 | 1 |  |  |
|  |  | 11 | 0 | 1 | 1 | 0 |  |  |  |  | 11 | 0 | 1 | 1 | 0 |  |  |
|  |  | 10 | 1 | 1 | 0 | X |  |  |  |  | 10 | 1 | 0 | 1 | X |  |  |
| A = I3’.I1 + I3.I2.I0 + I3.I2’.I1’+ I3’.I2.I0’ | | | | | | | | | B = I3’.I2.I1 + I1.I0.I2 + I3.I2.I0 + I1.I0.I3 +  I3.I2’.I1’.I0’ | | | | | | | | |



|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | C | I1I0 | |  |  |  |  |  |  | D | I1I0 | |  |  |  |  |  |
| I3I2 | |  | 00 | 01 | 11 | 10 |  |  | I3I2 | |  | 00 | 01 | 11 | 10 |  |  |
|  |  | 00 | 0 | 0 | 0 | 0 |  |  |  |  | 00 | 0 | 0 | 1 | 1 |  |  |
|  |  | 01 | 1 | 1 | 0 | 1 |  |  |  |  | 01 | 1 | 0 | 0 | 0 |  |  |
|  |  | 11 | 0 | 0 | 1 | 0 |  |  |  |  | 11 | 0 | 0 | 1 | 1 |  |  |
|  |  | 10 | 1 | 0 | 1 | X |  |  |  |  | 10 | 0 | 1 | 1 | X |  |  |
| C= I3’.I2.I1’ + I3’.I2.I0’ + I1.I0.I3 + I1’.I0’.I3.I2’ | | | | | | | | | D =I3’.I2’.I1 + I3’.I2.I1’.I0’ + I3.I2’.I0 +  I3.I1 + I2’.I1 | | | | | | | | |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | E | I1I0 | |  |  |  |  |  |  | F | I1I0 | |  |  |  |  |  |
| I3I2 | |  | 00 | 01 | 11 | 10 |  |  | I3I2 | |  | 00 | 01 | 11 | 10 |  |  |
|  |  | 00 | 0 | 0 | 1 | 1 |  |  |  |  | 00 | 0 | 0 | 0 | 0 |  |  |
|  |  | 01 | 1 | 0 | 0 | 0 |  |  |  |  | 01 | 0 | 1 | 0 | 1 |  |  |
|  |  | 11 | 1 | 1 | 1 | 1 |  |  |  |  | 11 | 1 | 1 | 1 | 1 |  |  |
|  |  | 10 | 0 | 1 | 1 | X |  |  |  |  | 10 | 0 | 1 | 0 | X |  |  |
| E = I3’.I2’.I1 + I1’.I0’.I2 + I3.I2 + I3.I0 +  I2’.I1 | | | | | | | | | F = I3.I2 + I2.I1’.I0 + I1’.I0.I3 + I1.I0’.I2 | | | | | | | | | |

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | G | I1I0 | |  |  |  |  |  |
| I3I2 | |  | 00 | 01 | 11 | 10 |  |  |
|  |  | 00 | 1 | 0 | 0 | 0 |  |  |
|  |  | 01 | 0 | 0 | 0 | 0 |  |  |
|  |  | 11 | 0 | 0 | 1 | 1 |  |  |
|  |  | 10 | 0 | 1 | 0 | X |  |  |
| G= I0’.I1’.I2’.I3’ + I1’.I0.I3.I2’ + I3.I2.I1 | | | | | | | | | |

* Vẽ và đóng gói riêng rẽ 7 mạch trên Quartus II. Sau đó đóng gói 7 module này thành một module mới để hoàn thiện yêu cầu thiết kế BCD\_2\_7SEGMENT:

|  |
| --- |
|  |